

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-176757

(43)Date of publication of application : 31.07.1991

(51)Int.Cl. G06F 15/16  
G06F 15/80

(21)Application number : 02-317595 (71)Applicant : DEUTSCHE ITT IND GMBH

(22)Date of filing : 21.11.1990 (72)Inventor : SCHMIDT ULRICH  
CAESAR KNUT

(30)Priority

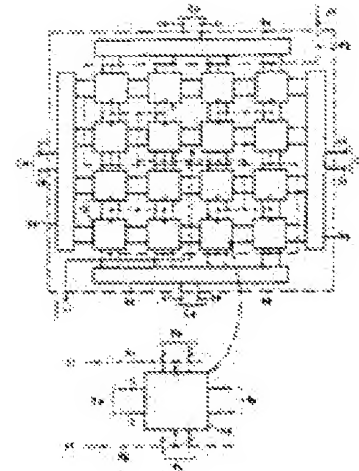
Priority number : 89 89121506 Priority date : 21.11.1989 Priority country : EP

(54) ARRAY PROCESSOR

(57)Abstract:

PURPOSE: To deal with a different signal processing task by connecting a ring bus system to four east, west, north and south communication buses, providing a first-in first-out memory for transferring data and preventing a signal processing when the memory is vacant or full.

CONSTITUTION: Respective cells  $z_p$  are respectively provided with one communication buses and the buses are connected to the respective adjacent cells  $z_p$  or to four bus switches  $bs$ . The whole data input and output bits of the connected communication buses are connected to an external input and output terminals  $ci$  and  $co$  with same bit numbers forming external array ports. When the respective communication buses are constituted of 12 bits in a data input and 12 bits in a data output, for example, the respective array ports are provided with 12 external output terminals  $co$  in the data output and 12 external input terminal  $ci$  in the data input. Transfer inside and outside an array processor  $ap$  is executed in parallel in a narrow sense so that optional number of array processors are connected and large scale array having parallel data transfer in a narrow sense is formed.



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-176757

⑬ Int. Cl.<sup>5</sup>

G 06 F 15/16  
15/80

識別記号

3 9 0 T

庁内整理番号

6945-5B  
7056-5B

⑭ 公開 平成3年(1991)7月31日

審査請求 未請求 請求項の数 10 (全11頁)

⑮ 発明の名称 アレイプロセッサ

⑯ 特 願 平2-317595

⑰ 出 願 平2(1990)11月21日

優先権主張 ⑱ 1989年11月21日 ⑲ 欧州特許機構(E P) ⑳ 89121506.3

㉑ 発 明 者 ウルリヒ・シュミット ドイツ連邦共和国、デー-7800 フライブルク・イム・ブ  
ライスガウ、ベルヒエンタール 10

㉒ 発 明 者 クヌト・カエサル ドイツ連邦共和国、デー-7803 グンデルフィンゲン、ア  
ム・ゼー 1

㉓ 出 願 人 ドイチェ・アイティー ドイツ連邦共和国、デー-7800 フライブルク・イム・ブ  
ティー・インダストリ  
ーズ・ゲゼルシャフ  
ト・ミト・ベシユレン  
クタ・ハフツンク  
ライスガウ、ポスト・オフィス・ボックス 840、ハン  
ス・ブンター シュトラッセ 19

㉔ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

アレイプロセッサ

2. 特許請求の範囲

1. 同一クロック信号で駆動される複数の同一セルが仮想2次元直交格子のノードに配置され、4つの通信バスを介して西、東、南、および北に隣接するセルプロセッサであって少なくとも演算器(ALU)と、シフト装置と、データ処理のためのデータメモリ装置とを有した各プロセッサと非同期にデータを交換するアレイプロセッサにおいて、前記アレイプロセッサ(ap)の全セルが単一チップ上に集積され、前記アレイプロセッサ(ap)は多重命令、多重データストリームプロセッサ(MIMDプロセッサ)であり、各セル(zp)は個々にプログラマブルであり、前記アレイプロセッサの4つのエッジ領域の各々は、前記隣接するセルプロセッサ(zp)の1つの相関する通信バス(Vw, Vo, Vs, Vn)を前記各エッジ領域に相関する外部入出力端子

(cl, co)に選択的に接続する電子バススイッチ(bs)を有し、この電子バススイッチ(bs)を介して多重ビットデータが同時に入力および出力可能であり、チップ上の全セル(zp)は共通のクロック信号(cl)により駆動可能であり、前記各セル(zp)は、サブ回路として、Ax-ソースバス(Ax)と、Bx-ソースバス(Bx)と、Cx-結果バス(Cx)から成り、セル核の少なくとも一部を取り囲むリングバスシステムと；1クロック期間毎に両データ路を介して新しいデータの転送が可能であり、前記リングバスシステムを西(Vw)、東(Vo)、南(Vs)、および北(Vn)の4つの通信バスに接続し、データを転送するためのファーストインファーストアウトメモリ(FIFO)(fi)を有し、前記FIFOが空または満杯のとき受信セルまたは送信セルの信号処理を阻止し、この待状態の間セルの状態を“凍結”状態にする阻止装置を有する二方向データ転送装置(ハンドシェイクポート)(hw, ho, hs, hn)と；A-ソ

ースバス(A)、B-ソースバス(B)、およびC-結果バス(C)から成り、A-、B-、およびC-バスレジスタ(ba, bb, bc)を介して前記リングバスシステムに結合された核-バスシステムと；入力および出力が核バスシステムに接続されたレジスタブロック(rf)と；シフト機能およびローテーション機能を有し、入力端が前記A-およびB-ソースバス(A, B)に接続され、出力端がALU遅延段(ad)を介してC-結果バス(C)に接続された演算器(ALU)(a1)と；入力端がA-およびB-ソースバス(A, B)に接続され、出力端がC-結果バス(C)に接続された累算乗算器(MAC)(ma)と；全セル(zp)が接続されるプログラミングバス(Pb)を介してロードされるプログラムメモリ(pm)と；および前記プログラムメモリ(pm)の格納データおよびセル(zp)のサブ回路からのステータス信号とが供給され、前記セル(zp)内のデータ処理を制御する制御ユニット(st)とを有することを特徴とするアレイブ

(mp)と；さらにオーバーフロー信号(V)とサイン信号(N)を供給する加算器(Add)とを有し、前記アキュムレータレジスタ(ar)に含まれるデータワードは、C-結果バス(C)に選択的に接続可能であり、信号をさらに処理するための3つの重複レンジであって、最上位ビット群をカバーする高レンジ(hi)と、隣接する下位ビット群をカバーする低レンジ(lo)と；リミタ(li)により固定の制限値内に任意に制限可能であり、中間ビット群のレンジをカバーする中間レンジ(mid)の3つのレンジに分割されることを特徴とする請求項1に記載のアレイブロッサ。

5. 前記ALU(a1)はオーバーフロー信号(V)、サイン信号(N)、ゼロ信号(Z)、およびキャリー信号(Cr)を供給し、コンカチネーション機能を行うために、前記ALU(a1)のデータ出力(D)はデータ路を介してALU(a1)の2つの入力端子の1つに直接フィードバックされることを特徴とする請求項1に記載の

ロセッサ。

2. 前記ALU(a1)における伝搬遅延を含む、ALU遅延段(ad)の遅延は累算乗算器(ma)の伝搬遅延に等しいことを特徴とする請求項1に記載のアレイブロッサ。

3. 前記セル(zp)内において、前記リングバスシステムを介してデータ送信ハンドシェイクポート(hw, ho, hs, hn)から他のデータ受信ハンドシェイクポートへの信号路の遅延は、セル核を介して1つのハンドシェイクポートから他のハンドシェイクポートへの信号遅延に等しく、この信号遅延の均等化は、前記データ受信ハンドシェイクポートに含まれるポート遅延装置(pd)の手段により達成されることを特徴とする請求項2に記載のアレイブロッサ。

4. 前記累算乗算器(MAC)(ma)は、出力端子が加算器(Add)を介してアキュムレータレジスタ(ar)に接続され、アキュムレータレジスタの内容が前記加算器(Add)の他の入力に供給される、パイプラインを用いた並列乗算器

アレイブロッサ。

6. 前記レジスタブロック(rf)はA-出力およびB-出力を介して同時に読みだし、Q-入力またはR-入力に書き込むことができ、前記A-出力およびB-出力はA-およびB-ソースバスにそれぞれ接続され、前記Q-入力はA-またはB-ソースバスのいずれかから供給され、R-入力はC-結果バス(C)から供給されることを特徴とする請求項1に記載のアレイブロッサ。

7. 前記プログラムメモリ(pm)に含まれる命令セット(l)は定数出力(k)を介してA-またはB-ソースバス(A, B)のいずれかに設置可能な定数(k)を有することを特徴とする請求項1に記載のアレイブロッサ。

8. 前記プログラムメモリ(pm)は、オペレーションコード(oc)と、分岐条件として各ステータス信号の要求された状態を含む条件コード(sc)と、分岐アドレス(bra)と、前記ハンドシェイクポート(hw, ho, hs, hn)の1つ、レジスタセル(r0, ..., R15)の1

つ、ALU (a1)、定数 (k)、あるいはバスレジスタ (ba, bb) の1つがデータソースとして機能し、A-およびAx-ソースバス (A, Ax) のためのA-ソースアドレス (Aa) B-およびソースバスのためのB-ソースアドレス (B, Bx) と、前記レジスタセル (r0, … r15) の1つを指定する第1出口アドレス (ra) と、隣接するセルに対してデータ転送を決定する付加出口アドレス (Oa, Na, Wa, Sa) と、前記C-結果バス (C) に接続されるべきセル-抜回路を指定するC-ソースアドレス (Ca) と、およびアドレスレジスタセル (r0, …, r15) がQ-入力またはR-入力を介して書き込むかを決定するレジスタ入力アドレス (Ra) とから成るフォーマットの命令セット (i) を有することを特徴とする請求項1に記載のアレイプロセッサ。

9. 条件コード (sc) および分岐コード (bra) の代わりに、定数 (k) が命令セット (i) に含まれることを特徴とする請求項8に記

フリッカ雑音の無い画像を再生するには、例えば空間的および一時的に隣接する画像ライン間にさらにラインを補間する必要がある。ここで空間的とはラスタスキャン画像面を意味し、一時的とは画像シーケンスを意味する。

このようなウエーブフロントアレイプロセッサは、例えば、1987年7月発行の“コンピュータ”の20巻、第7号のページ18乃至33 (タイトル: ウエーブフロントプロセッサ実現のための概念) に記載されている。SIMD (単一命令、多重データストリーム) 概念に基づいて、各セルは、北、東、南、および西に隣接する各セルと通信する。セルからセルへのデータ転送は“ハンドシェイクプロトコール”により行われ、各セルのクロック位相に無関係に各セルによりデータが受け取られる。各セルにおいて、すべての計算が同じ速度で処理されるわけではないので、データの入口と出口にはFIFO (ファーストイン-ファーストアウト) メモリによりバッファが設けられる。データフローの各方向に、2つの隣接

セルのアレイプロセッサ。

10. 前記チップ上において、前記クロック信号 (ci) はHツリー (h) としてトポロジカルに各セル (xp) に経路選択されることを特徴とする請求項1に記載のアレイプロセッサ。

### 3. 発明の詳細な説明

デジタル信号処理、例えば、1次元および多次元ビデオ信号の処理において、アレイプロセッサが注目を集めている。アレイプロセッサはデータバスを介して相互に接続された複数のセルから成り、リアルタイムで並列処理を行う。このようなアレイプロセッサはクロック駆動形の場合は、“シストリックアレイプロセッサ”と呼ばれ、データ駆動形の場合には“ウエーブフロントアレイプロセッサ”と呼ばれる。これらのアレイプロセッサは、また、大部分がデジタル信号として処理される娯楽産業における電子工学への使用が増大している。このような応用例の一例としては、フリッカ雑音を無くした画像再生が可能な高品位テレビジョンがある。テレビジョン受像機において、

するセルのデータ路に1つのFIFOメモリが設けられる。ハンドシェイクプロトコールは通常1クロック期間で実行される。

1987年7月発行の20巻、第7号のページ102乃至103には、データ駆動アレイプロセッサが記載されている。(タイトル: “データ駆動アレイプロセッサの概念と実行”) このアレイプロセッサはVLSI (大規模集積回路) チップに集積され、各セルは内部リングバスシステムにより隣接する6個のセルとデータを交換することができる。アレイプロセッサ内のいくつかのグローバルバスにより、各セルは外部コンピュータと直接通信することができる。

1987年12月発行の“IEEEコンピュータによるトランザクション”C-36巻、第12号、ページ1523乃至1538 (タイトル: ワーブコンピュータ: アーキテクチャ、実行、および性能) には、各セルがプラグイン形式のカード上に実現されたプロセッサモジュールから成り、各セルを結合して一次元のシストリックアレイを

形成したアレイプロセッサが記載されている。各プロセッサはMID（多重命令、多重データストリーム）原理にもとずいて別個にプログラム可能であり、種々のタスクに対して柔軟性を有している。各モジュール間の通信はキューイングにより行われる。キュー（FIFO）が満杯あるいは空の場合には、送信および受信の各モジュールはキューを介してデータトラフィックが操作できるまで、すなわち新しいデータのスロットが作られるまで、言い換えれば新しいデータが得られるまで阻止される。この結果、種々のセルプログラムを正確に同期させるためのシーケンスコントロールは必要ないのでプロセッサのプログラミングがきわめて柔軟性富む。

1989年発行の“音響工学、通話、および信号処理に関するIEEE国際会議の手続”ページ2476乃至2479（タイトル：プログラマブルビデオ信号プロセッサ）には、チップ上に3つのセルが集積され、各セル間でデータを交換するとともに、双方向モードでチップ境界を越えてデ

ータを転送するMIMDアレイプロセッサが記載されている。このプロセッサは3角形トポロジを有し、クロック制御相互セル通信により、リアルタイムでビデオ信号を処理する。各セルは、クロスバスイッチに相互接続され、並列に動作するいくつかの処理エレメントおよびメモリエレメントを有している。各エレメントはサイクロスタティック（cyclo-static）（分岐無しに周期的に実行されるプログラム）により制御される。すべての動作はプロセッサのクロックに同期しており、このクロックの周波数はサンプリング周波数の倍数である。

ヨーロッパ特許出願 EP-A 0 277 262 は複数の同一のセルが同じクロックで制御されるアレイプロセッサを開示している。各セルは仮想的な2次元格子上のノードに配置され、4つの通信バスを介して西、東、南、および北に隣接するセルとデータを交換する。データ転送はセル間で非同期である。各セルはデータメモリ、演算ユニット（ALU）、およびシフトレジスタを有している。

この発明の目的は、モノリシック集積に適し、異なるソースからのリアルタイムのデジタル信号処理を可能にし、外部制御プログラム（ソフトウェア）の制御により、非常に多くの異なる信号処理タスクを取り扱うのに適し、特に娯楽電子機器におけるビデオ信号処理に適したアレイプロセッサを提供することである。

#### （実施例）

第1図のブロック図に示されるアレイプロセッサapは16個のセルspから成る方形のアレイを有する。

各セルは、西方向Vw、南方向Vs、東方向Vo、および北方向Vnにそれぞれ1つの通信バスを有している。これらのバスは各隣接するセルspに接続されるかあるいは、外部セルの場合には4つのバススイッチbsの1つに接続される。従って、各バススイッチは外部セルの4つの通信バスを結合する。各バススイッチは電子マルチウェイ多接点スイッチとして作用する。各スイッチ位置において、接続される通信バスのすべての

データ入力およびデータ出力ビットは、外部アレイポートを形成する同じビット数の外部入力および出力端子ci、coに接続されている。さらに、ハンドシェイク処理を実行するのに使用される、各通信バスに割り当てられたステータス信号はバススイッチbsを介して経路選択が行われる。アレイプロセッサapの4つのサイド（東西南北）には、このようなバススイッチが設けられているので、4つの外部ポートがある。すなわち、西アレイポートCw、南アレイポートCs、東アレイポートCo、および北アレイポートCnである。

例えば、各通信バスがデータ入力に12ビット、データ出力に12ビットで構成されている場合には、各アレイポートはデータ出力に12の外部出力端子coと、データ入力に12の外部入力端子ciを有する。アレイプロセッサap内およびアレイプロセッサap外のデータ転送は狭義に並列に行われるので、任意の数のアレイプロセッサを結合して狭義の並列データ転送を有した大規模アレイを形成することができる。この結果、例えば、

テレビジョン、画像処理、グラフィック、多次元フィルタの領域における複雑な問題を解決することができる。各アレイプロセッサ内にデータ転送機能を設けることにより、各アレイプロセッサを第8a図に示すように、リニア状に直列に接続することにより、48ビットまでのリニアデータを転送することができるとともに、第8b図に示すようにアレイプロセッサをプレーナ状に直列に接続すれば、2つの独立した方向に24ビットまでのデータを転送することができる。これは、通信バスが12の入力ビットと12の出力ビットを有する上記仮定例に適用される。従って、きわめて効率的な転送装置をユーザに提供することができる。第8a図および8b図において、それぞれ上部は論理データ路を示し、下部は外部アレイ入力ポートおよび出力ポートの相関する物理相互接続を示す。

アレイプロセッサa pのリアルタイム信号処理は、特に高品位テレビジョン(HDTV)信号を処理する場合には、高速クロックレートが要求さ

あり、変更されることはめったにないので、シリアルプログラミングバスで十分である。

第1図とは異なり、各セルz pはまた種々の長方形、あるいは1次元、すなわちリニアにも構成可能である。セルz pの数は使用する集積技術によってのみ制限される。

第2図はセルz pのブロック図である。各4つの外側には、2方向データ転送装置(ハンドシェイクポート)、すなわち西ハンドシェイクポートh w、南ハンドシェイクポートh s、東ハンドシェイクポートh o、および北ハンドシェイクポートh nが設けられている。各ハンドシェイクポートは相関する通信バス、すなわち西通信バスV w、南通信バスV s、東通信バスV o、および北通信バスV n上のデータ転送を制御する。通信バスに並列に設けられた制御ライン(第2図には示していない)を介して2つのハンドシェイクポートがハンドシェイク処理のための制御信号を交換する。この交換はハンドシェイクプロトコルの手段により行われる。

れる。例えば、125MHzのクロック信号を同時にチップに分配するためには、クロックラインを注意深く経路選択する必要がある。さもなければ、各セルz pのクロック信号間の位相差が非常に大きくなる。クロックc lの分配に有効な構成は、いわゆるH形ツリーhである。このツリーでは分岐したクロックラインは末端まで均一に負荷がかかり、同じライン長で各セルにクロックが供給される。このような構成は、例えば1985年8月発行の“IEEE コンピュータによるトランザクション”c-34巻、第8号、ページ734乃至740の“同期式大規模VLSIプロセッサアレイ”に記載されている。この発明を図示した図面の第1図において、Hツリーhは各セルz p間の破線として示されている。

すべてのセルz pが接続されるプログラムバスP bは1点鎖線で示されている。各アドレスを介して各セルz pに到達するセルプログラムp zは外部から入力される。アプリケーションプログラムの場合には、セルプログラムp zは通常固定で

セルの実際の信号処理部、すなわちセル核は少なくとも一部がリングバスシステムにより囲まれている。リングバスシステムは、Ax-ソースバスAx、Bx-ソースバスBx、およびCx-ソースバスCxで構成され、各バスは12ビットバスである。各ハンドシェイクポートはAx-、Bx-、Cx-リングバスに対してそれぞれ3つの12ビットデータ入力を有するとともに、Ax-およびBx-リングバスに対してそれぞれ2つの12ビットデータ出力を有する。データ出力はハンドシェイクポート内のファーストインファーストアウトメモリ(FIFO)から供給される。ハンドシェイクポートのAx-およびBx-データ入力はポート遅延装置p dに接続される。ポート遅延装置は信号を指定された時間量だけ遅延する。後述するように、この遅延は、リングバスシステム上を転送するデータは、セル核を介して最初に経路選択されたデータよりも先にハンドシェイクポートに現われてはいけないという要求にもとづくものである。このようにして、セル核によ

る処理と無関係に外部からアクセス可能なデータを同時に得ることができる。セル核からのデータはC<sub>x</sub>-結果バスC<sub>x</sub>上に出力される。バスC<sub>x</sub>上のデータはハンドシェークポートに転送される。このデータはこれ以上遅延する必要がないので、ハンドシェークポート内のシーケンシャル回路s<sub>u</sub>に直接転送される。ハンドシェークプロトコルを実行することにより、シーケンシャル回路s<sub>u</sub>はA<sub>x</sub>-ソースバスまたはB<sub>x</sub>-ソースバスからの遅延されたデータ、あるいはC<sub>x</sub>-結果バスからの遅延されていないデータを通信バスを介して隣接するセルに転送する。受信すべきデータはハンドシェークプロトコルに従って相関する通信バスを介してシーケンシャル回路s<sub>u</sub>に転送され、FIFO f<sub>i</sub>にロードされ、一次的に格納される。FIFO f<sub>i</sub>から、上述したようにA<sub>x</sub>-ソースバスまたはB<sub>x</sub>-ソースバスのいずれかに出力される。

これらの動作およびその他の動作は、プログラムメモリp<sub>m</sub>に格納された命令セットiに従って

A-バスレジスタb<sub>a</sub>およびB-バスレジスタb<sub>b</sub>を介してA<sub>x</sub>-ソースバスA<sub>x</sub>およびB<sub>x</sub>-ソースバスからデータが供給可能である。同様に、C-結果バスCはC-バスレジスタb<sub>c</sub>を介してC<sub>x</sub>-結果バスC<sub>x</sub>にデータを供給することができる。これらのバスレジスタは、核バスシステムをリングバスシステムから切り離すとともに、新しいデータワードによりオーバーレイされるまで、データワードを保持することができる。ハンドシェークポートからリードされ、一次的にバスレジスタb<sub>a</sub>、b<sub>b</sub>に格納されたデータワードは、ハンドシェークポートに対する別のアクセスによりデータが書き換えられるまで、セル核の信号処理回路により使用可能である。セル核内の信号処理は、入力端子がA-ソースバスA、およびB-ソースバスBに接続され、出力端子がC-結果バスCに接続された累積乗算器(MAC)<sub>m</sub>aと、シフト機能およびローテーション機能を有し、入力端子がA-ソースバスAおよびB-ソースバスBに接続され、出力端子がALU遅延段a<sub>d</sub>を

セルz<sub>p</sub>内の制御ユニットs<sub>t</sub>により制御される。説明を簡単にするために、第2図では、通常マルチビットバスとして実現されるデータリンクのみを示し、制御ラインは示していない。すべてのハンドシェークポートは同一であるので、内部データ路は西ハンドシェークポートh<sub>w</sub>の詳細のみを示す。

リングバスシステムはセルの異なるハンドシェークポート間で非常に柔軟性のあるデータ交換を可能にする。例えば、リングバスA<sub>x</sub>、B<sub>x</sub>、C<sub>x</sub>上に3つの別個のデータストリームを転送可能であり、ソースバスA<sub>x</sub>、B<sub>x</sub>には、各1つのポートからデータを供給され、結果バスC<sub>x</sub>は一度に最高4ポートに結果データを供給することができる。

リングバスシステムの他に、セルz<sub>p</sub>は内部データ処理のための核バスシステムを有する。このバスシステムはA-ソースバス、B-ソースバス、およびC-ソースバスで構成される。A-ソースバスA、およびB-ソースバスBには、それぞれ、

介してC-結果バスCに接続された演算ユニット(ALU)<sub>a</sub>lにより行われる。

高速データバッファリングは、たとえば16個の選択的にアクセス可能なレジスタセルr<sub>0</sub>、…、r<sub>15</sub>を有するレジスタブロックr<sub>f</sub>により行われる。高速アクセスを可能とするために、このレジスタブロックはA-出力およびB-出力を介して同時に読みだし可能であり、Q-入力あるいはR-入力を介して書き込み可能である。従って、レジスタブロックr<sub>f</sub>はセルの3つのアドレス処理に適しており、2つのオペランドを結合して各クロック期間ごとに結果を格納する。レジスタブロックr<sub>f</sub>のR-入力はC-結果バスCのみから供給され、他方Q-入力はA-ソースバスAあるいはB-ソースバスBのいずれかから供給される。

MAC<sub>m</sub>aのパイプラインの深さはALU<sub>a</sub>lのパイプラインの深さよりも大きいので、ALU遅延段a<sub>d</sub>の遅延により時間補償が行われる。入力動作として、従前の動作の結果を用いる動作—これは“コンカチネーション”動作ともよ

ばれる一の場合には、A L U a 1 の出力 D が直接 A L U 入力の 1 つに戻される。第 2 図では、これは、A L U a 1 の B 入力である。このダイレクトフィードバックにより、A L U 遅延段の回転待ち時間が最小になる。

プログラムメモリ p m に格納された命令セット i は常数 K を有して常数出力 K を介して A - ソースバスあるいは B - ソースバスのいずれかに出力される。

第 3 図は、2 方向データ転送装置の一部を示すブロック図である。この装置は上述したように、“ハンドシェークポート”とも呼ばれる。説明の簡単のために、1 方向にデータ転送するのに必要な回路部分のみを示す。双方向データトラフィックの場合には、各ハンドシェークポートはデータトランスミッタ s e およびデータレシーバ e m を有する。ゲート t r は、シーケンシャル回路 s u の一部を形成するものと考えられる。ゲート t r は、データワード d a t をバッファリングする。バッファリングされたデータは、データバス

d b を介してデータレシーバ e m に転送される。

データレシーバ e m 内の受信ハンドシェークポートは F I F O メモリ f i および出口シーケンシャル回路 s u 2 を有する。データトランスミッタ s e は、例えば第 1 クロック信号 c 1 1 によりクロックされ、セル核内のデータソースの 1 つであるデータソース d q を有する。データレシーバ e m 内の対応する装置は、例えば、第 2 クロック信号 c 1 2 により制御され、受信セルの核内のデータ出口の 1 つであるデータ出口 d s である。2 つのクロック c 1 1, c 1 2 は同一周波数であるが、位相は第 4 図に示すように遅延量の差により異ならせることができる。

上述した非同期のハンドシェークプロトコルにより、2 つのクロック信号がそれぞれ異なる時間量遅延されたとしてもあるいは、周波数が違う場合でも、データ転送を正しく行うことができる。以下、動作シーケンスを第 4 図のタイミング図を参照して説明する。

データトランスミッタ s e がデータワード

d a t を送信したい場合、時刻 1 においてリクエスト信号 r e q を出口シーケンシャル回路 s u 2 に送る。リクエスト信号は、出口シーケンシャル回路 s u 2 からのアクノレッジ信号 a c k がセットされない場合にのみ送ることができる。アクノレッジ信号がセットされないということは、データレシーバ e m がデータワードを受信できるレディ状態にあることを示す。データワードの受信は時刻 2 においてアクノレッジ信号をセットすることによりソースシーケンシャル回路 s u 1 に知らされる。この信号は、データワード d a t が実際に受信されるまで送信されない。データ信号は、リクエスト信号 r e q の開始までに、安定状態になっていなければならない。

ソースシーケンシャル回路 s u 1 は時刻 3 において、リクエスト信号 r e q をリセットすることにより、アクノレッジ信号 a c k の受信を認識する。同時に、データワード d a t はキャンセル可能である。時刻 4 において、アクノレッジ信号 a c k をリセットすることにより新しいデータワ

ード d a t を受け入れるための、出口シーケンシャル回路 s u 2 の用意ができたことをソースシーケンシャル回路 s u 1 に知らせる。このことは、F I F O メモリ f i 内の少なくとも 1 つセルが空であることを意味する。最も早い場合には、時刻 5 において、新しいデータ転送が始まる。このようにして、全体のデータ転送が 1 クロック期間で非同期に行われる。

リクエスト信号およびアクノレッジ信号の解除とキャンセルは、データトランスミッタ s e およびデータレシーバ e m からのステータス信号と論理的に結合される。例えば、リクエスト信号 r e q は、データソース d q がデータワード d a t を生成したことを、ソースステータス信号 s q が知らせているときのみ解除することができる。受信側では、リクエスト信号 r e q のセットに続いて、アクノレッジ信号 a c k がセットされる。アクノレッジ信号 a c k は、F I F O メモリ f i 内の少なくとも 1 つのセルが空であることを、第 1 出口ステータス信号 s v が示しているときの



み、キャンセルされる。アクノレッジ信号のキャンセルに続いて、リクエスト信号 *req* のキャンセルがデータトランスミッタ *se* において行われる。アクノレッジ信号がキャンセルされないと、ソースシーケンシャル回路 *su1* は新しいデータワードの転送を開始できない。

データ転送を1クロック期間で完了させるには、ハンドシェークプロトコルの4つのフェーズをすべて1クロック期間で実行する必要がある。これは、いかなる高周波クロック信号によっても、同期または非同期で行うことができる。いずれの場合においても、ハンドシェークプロトコルの各フェーズをロックすることによりデータ転送を正しく行うことができる。

データレシーバ *em* が、平均的にデータトランスミッタ *se* により発生されるデータと同じだけ受信する場合には、FIFOメモリ *fi* が大きければそれだけ独立したデータ交換量も大きくなることは明かである。これが保証されない場合には、データがデータソース *dq* において失われたかあ

により阻止される。ストップ信号がアクティブである限り、各セルの状態は凍結状態であり、特に、データ間の時間関係が保存される。セル状態の凍結には、セル *zp* 内にさらに回路が必要になるが、それだけプログラミングは容易になる。

上述したハンドシェーク制御によれば、ハンドシェークポート間でデータが非同期に転送可能であり、ハンドシェークプロトコル細部にわたって種々変形実行可能であるので、非常に大きな微分遅延、例えばチップ制限を越えるような遅延をも考慮することができる。

第5図のブロック図に示される累積乗算器(MAC)は並列乗算器 *mp* で構成され、このA-入力およびB-入力は、例えばそれぞれ12ビットから成る。並列乗算器 *mp* からの符号付出力信号は加算器 *add* の一方の入力に印加され、この加算器の他の入力には、アキュムレータレジスタ *ar* の出力が供給され、アキュムレータレジスタ *ar* の入力は加算器 *add* の出力に接続されている。第5図の実施例において、アキュムレー

あるいはデータ出口 *ds* がFIFOメモリ *fi* の空のセルから読んだことになる。このような、状態は、NOP命令をプログラム中に挿入することにより避けなければならない。しかしながら、これには、アレイプロセッサにおける各信号路のラン時間を正確にモニタする必要がある、プログラミングが非常に困難である。

従って、この発明によれば、各シーケンシャル回路 *su1*, *su2* により、プログラマは、各データ路のロジックの同期に注意を払う必要が無い。例えば、データソース *dq* とゲート *tr* はソースシーケンシャル回路 *su1* からのソースストップ信号 *st1* により阻止され、ソースストップ信号 *st1* は、データレシーバ *em* が受信レディ状態になっていないことを、アクノレッジ信号が示している場合には解除される。他方、すべてのセルが空であることをFIFOメモリ *fi* からの第2ステータス信号 *si* が示しているときは、データレシーバ *em* のデータ出口 *ds* は、出口シーケンシャル回路 *su2* からの出口ストップ信号 *st2*

タレジスタ *ar* は29ビットのメモリキャパシタを有している。アキュムレータレジスタ *ar* のさらに5ビットが2つの12ビット数の乗算に対する最大可能累算レンジを表す。2の補数表示では、サイン符号を有する。

加算器 *add* は加算出力信号として、所定のレンジの数を越えたことを示すオーバフロー信号 *V*、および加算結果が負であることを示すサイン信号 *N* を出力する。

アキュムレータレジスタ *ar* の内容は3つの態様でC-結果バス *C* に載せることができる。例えば、C-結果バス *C* が12ビット幅である場合には、当然上位12ビットこのバスに載せる。第1の方法は、レジスタの内容を連続的に読みだすことである。すなわち、最初にハイレンジ *hi* として上位12ビットを読みだし、つぎにロウレンジ *lo* として次の下位12ビットを読む。アキュムレータレジスタ内の5つの最下位ビットは考慮しない。第2の方法は、例えば、レジスタビット11乃至2をカバーするミドルレンジから12

ビットを読み出す方法である。乗算結果が必然的にこのレンジに入る場合には、このミドルレンジ *mid* をさらに処理することが望ましい。これは、また -1 から +1 の値の範囲において、固定小数点オペランドを含む乗算にも適用される。

しかし、例えば、数 *mid* がレンジを越え、プログラマブルに上限および下限値を保持するリミタ *li* を通過したとしても、結果を飛ばすようなことにはならない。

第6図のブロック図は2つの12ビット入力 *A*、*B* が *A* - ソースバス、および *B* - ソースバスにそれぞれ接続された演算ユニット (*ALU*) を示す。データ出力 *D* もまた12ビットで構成され、*ALU* 結果 *dal* を出力し、第2 *ALU* 入力にフィードバックされる。このデータフィードバックにより、必要であればキャリー信号を含む、コンカネーションシフトおよびローテーション機能を行うことができる。*ALU* 結果 *dal* を供給する他に、*ALUa1* は以下のステータス信号を供給する。すなわち、オーバーフローの場合には、オ

ーバフロー信号 *V*、負結果の場合には、サイン信号、ゼロ結果の場合には、ゼロ信号 *Z*、およびさらに、状態信号としてキャリー信号を供給する。

第7図は、1 プログラムステップとして入力される例えば48ビットを含む命令セット *i* のフォーマットを図式化したものである。第1のエリアは、オペレーションコード *oc* として制御ユニット *st* に対するコード化された命令を含む。第2のエリアは、セル核の状態信号およびハンドシェークポートの状態信号をアドレスする条件コードを含む。第3のエリアは、状態コード *sc* およびセル核あるいはハンドシェークポートの現在の状態信号によってプログラムメモリ *pm* 内に含まれるプログラムシーケンスを指定する分岐アドレス *bra* を含む。条件コード *sc* および分岐コード *bra* を含むかわりに、少なくとも12ビットを含むこの2つのエリアは、上述したように、定数出力 *K* を介して *A* - または *B* - ソースバス *A*、*B* に載せられる定数 *K* を保持することができる。

第4および第5のエリアには、リングバスシス

テムのための *A* - および *B* - ソースアドレス *A*、*B* がそれぞれ定義される。1クロック遅れて、これらのアドレスは核バスシステムにも供給される。このためのデータソースとしては、例えば、ハンドシェークポート *hw*、*ho*、*hs*、*hn*、の1つ、レジスタセル *r0*、... *r15* の1つ、*ALUa1*、定数 *k*、あるいは、バスレジスタ *ba*、*bb* の1つである。このソースの定義に続いて、データをロードする場所を決定するための5つのエリアが続く。従って、5つのエリアには出口アドレスが含まれる。6番目のエリアには、第1出口アドレス *ar* はどのレジスタセル *r0*、...、*r15* に *C* - 結果バス *C* からロードされるかを示す。第7、第8、第9、および第10エリアは隣接するセルにデータ転送を決定する第2出口アドレスを選択される核ハンドシェークアドレス *oa*、*na*、*wa*、*sa*、の形で記述する。

これらの各エリアは、リングシステムの3つのバスのどのバスからデータが発生されたか、あるいはポートが“サイレント”状態かどうか、すな

わち *NOP* (no operation) 命令に相当する、全くデータを送らないかを示す2ビットを含む。

11番目の領域は *C* - 結果バス *C* に接続されるセル核回路を指定する *C* - ソースアドレス *ca* を含む。12番目のエリアは6番目のエリアにおいてアドレスされたレジスタセル *r0*、...、*r15* が *Q* - 入力あるいは *R* - 入力を介して書き込まれるかどうかを決定するレジスタ入力アドレス *ra* を含む。

#### 4. 図面の簡単な説明

第1図は16のセルが方形に配列された、この発明によるアレイプロセッサの一実施例のブロック図；

第2図はアレイプロセッサのセルのブロック図；

第3図は阻止装置を有した2次元データ転送装置の一部のブロック図；

第4図は第3図の構成のタイミング図；

第5図は累算乗算器 (*MAC*) のブロック図；

第6図は演算器 (*ALU*) のブロック図；

第7図は1 プログラムステップとして入力され

る命令セットのフォーマットを示す模式図；および

第8a図および8b図はそれぞれアレイプロセッサがリニアおよびプレーナに相互接続された場合のデータストリームの切り替えを示す図である。

zp…16セルの方形アレイ、Vw…西方向通信バス、Vs…南方向通信バス、Vo…東方向通信バス、Vn…北方向通信バス、ci、co…外部入出力端子、ba…バススイッチ、ap…アレイプロセッサ、Cw…西アレイポート、Cs…南アレイポート、Co…東アレイポート、Cn…北アレイポート、pz…セルプログラム、Pb…シリアルプログラミングバス、hw…西ハンドシェイクポート、hs…南ハンドシェイクポート、ho…東ハンドシェイクポート、hn…北ハンドシェイクポート、Ax…Ax-ソースバス、Bx…Bx-ソースバス、Cx…Cx-結果バス、pd…ポート遅延装置、su…シーケンシャル回路、pm…プログラムメモリ、ba…A-バスレジスタ、bb…B-バスレジスタ、bc…

C-バスレジスタ、ma…累算乗算器、al…演算器、rf…レジスタブロック、r0、…、r15…レジスタブロック、A…A-ソースバス、B…B-ソースバス、ad…ALU遅延段、k…定数、se…データトランスミッタ、em…データレシーバ、su1…ソースシーケンシャル回路、dat…データワード、db…データバス、fi…FIFOメモリ、cl1…第1クロック信号、ds…データ出口、cl2…第2クロック信号、su2…出口シーケンシャル回路、req…リクエスト信号、sq…ソースステータス信号、ack…アクノレッジ信号、sv…第1出口ステータス信号、st1…ソースストップ信号、st2…出口ストップ信号、sl…第2ステータス信号、dal…ALU結果、sc…条件コード、bra…分岐アドレス、Aa、Ba…A-ソース、B-ソースアドレス、Oa、Na、Wa、Sa…ハンドシェイクポートアドレス。

出願人代理人 弁理士 鈴江武彦

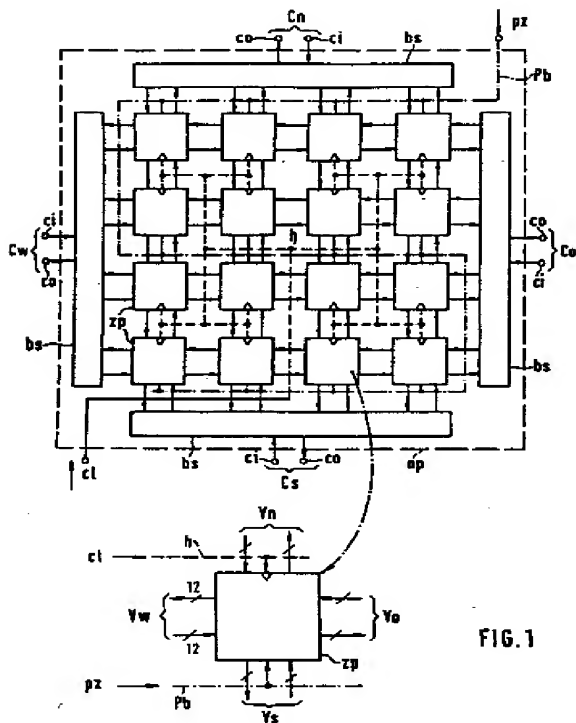


FIG. 1

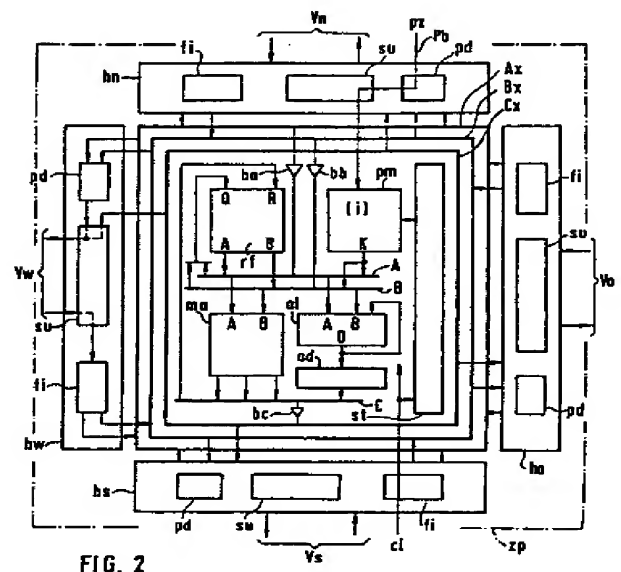


FIG. 2

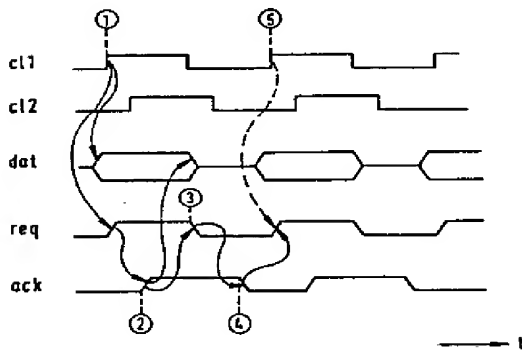
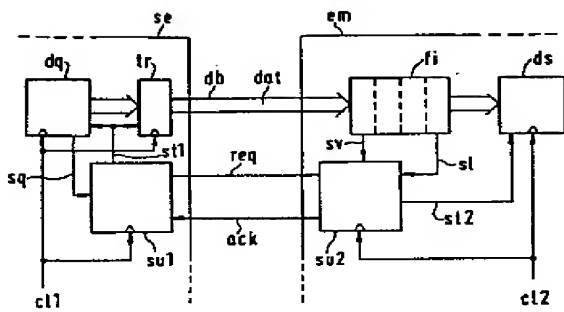


FIG. 4

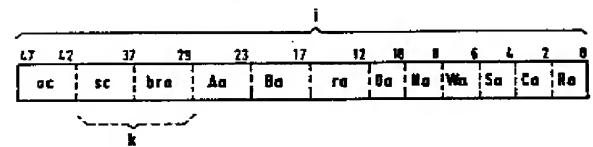
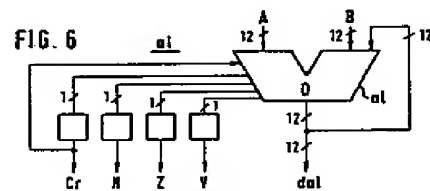
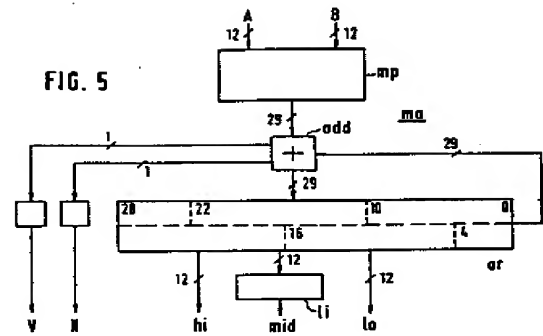


FIG. 7

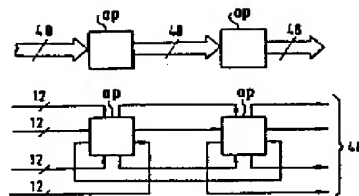


FIG. 8a

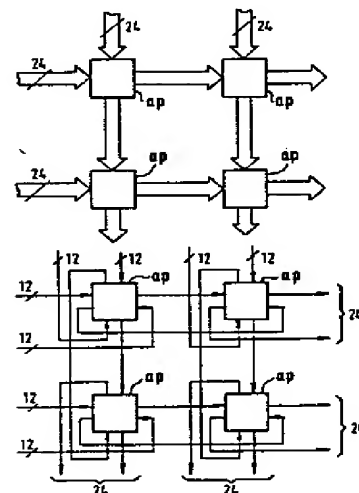


FIG. 8b